

UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Kedua  
Sidang 1988/89

Mac/April 1989

EEE 315 Teknologi Semikonduktor II

Masa : [3 jam]

---

**ARAHAN KEPADA CALON:**

Sila pastikan bahawa kertas peperiksaan ini mengandungi 8 muka surat bercetak dan TUJUH (7) soalan sebelum anda memulakan peperiksaan ini.

Jawab mana-mana LIMA (5) soalan.

Setiap soalan mempunyai agihan markah yang sama.

Jawab kesemua soalan di dalam Bahasa Malaysia.

Kertas peperiksaan ini dibahagikan kepada dua bahagian iaitu Bahagian A (1-4) dan Bahagian B (5-7). Calon-calon dikehendaki menggunakan buku jawapan berasing untuk Bahagian A dan Bahagian B.

...2/-

BAHAGIAN A

1. (a) Bincangkan konsep rekabentuk litar bersepadu secara struktur berhierarki.

(20%)

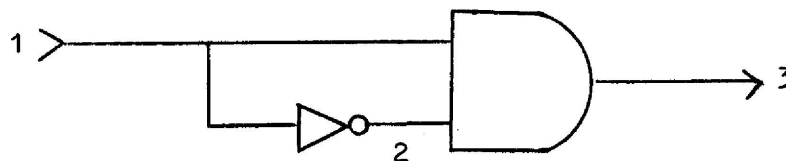
- (b) Terangkan senibina penyelaku litar berdasarkan empat peringkat iaitu prapemproses, penyusun model, pelaksana penyelaku dan post pemproses.

(40%)

- (c) Dengan bantuan litar seperti di Rajah 1, terangkan dengan ringkas kendalian berikut:-

- (i) Penyelaku Get Kod Tersusun Lengah Sifar.  
(ii) Penyelaku Get Kod Tersusun Lengah Unit.

(40%)



Rajah 1

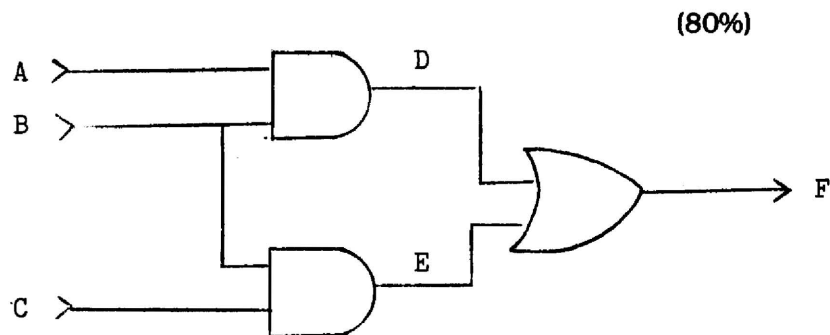
2. (a) Terangkan konsep roda masa untuk penyelaku get terpacu peristiwa.

(20%)

- (b) Get-get yang digunakan pada litar di Rajah 2 mempunyai lengah keluaran (Dout) yang bernilai 2 nanosaat dan lengah beban (Dld) yang bernilai 2 nanosaat. Kapasitans masukan setiap get adalah setara dengan satu unit beban, dan get ATAU dibebankan dengan satu unit beban.

...3/-

Masukan A adalah masukan tangga unggun yang menaik pada masa  $t = 2$  nanosaat, masukan B adalah masukan tangga unggun yang menurun pada masa  $t = 4$  nanosaat dan masukan C adalah tetap pada logik 1 untuk keseluruhan masa. Binakan satu siri jadual untuk menggambarkan kendalian penyelaku terpacu jadual.



**Rajah 2**

3. (a) Rekabentuk satu litar logik ambang yang mempunyai enam masukan yang akan hasil logik '1' pada keluaran apabila empat atau lebih masukan pada logik '1'. Anggapkan bahawa bilangan masukan logik '1' yang ganjil tidak boleh berlaku. Laksanakan litar ini menggunakan get-get TAK-DAN sahaja.

(60%)

- (b) Lakarkan litar CMOS statik untuk fungsi di atas.

(40%)

...4/-

4. (a) Terangkan dengan ringkas struktur-struktur logik CMOS seperti berikut:-
- (i) Logik Pelengkap CMOS Statik
  - (ii) Logik CMOS Dinamik
  - (iii) Logik Domino CMOS
- (45%)
- (b) Rajah 4 menunjukkan litar gabungan dengan keluaran X dan Y. Nyatakan fungsi litar tersebut.

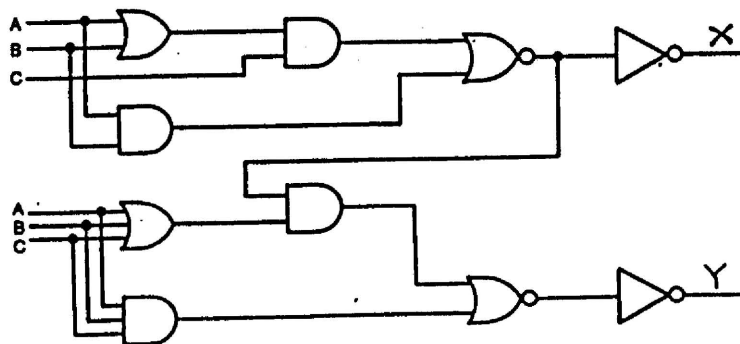
Dengan persamaan

$$\bar{Q} = f_h(A, B, C, \dots) \text{ untuk rangkaian transistor nMOS}$$

$$Q = f_n(\bar{A}, \bar{B}, \bar{C}, \dots) \text{ untuk rangkaian transistor pMOS}$$

dapatkan litar CMOS statik untuk litar di Rajah 4.

(55%)



Rajah 4

...5/-

**BAHAGIAN B**

5. Berikut adalah satu fungsi logik 5-pembolehubah yang terpaksa dilaksanakan menggunakan litar CMOS statik:-

$$f = \overline{A}BCDE + \overline{B}CDE + \overline{A}BDE + \overline{A}CDE \\ + \overline{A}BC\overline{D}E + \overline{B}C\overline{D}E + BDE + ACDE + CDE + B\overline{C}\overline{D}E$$

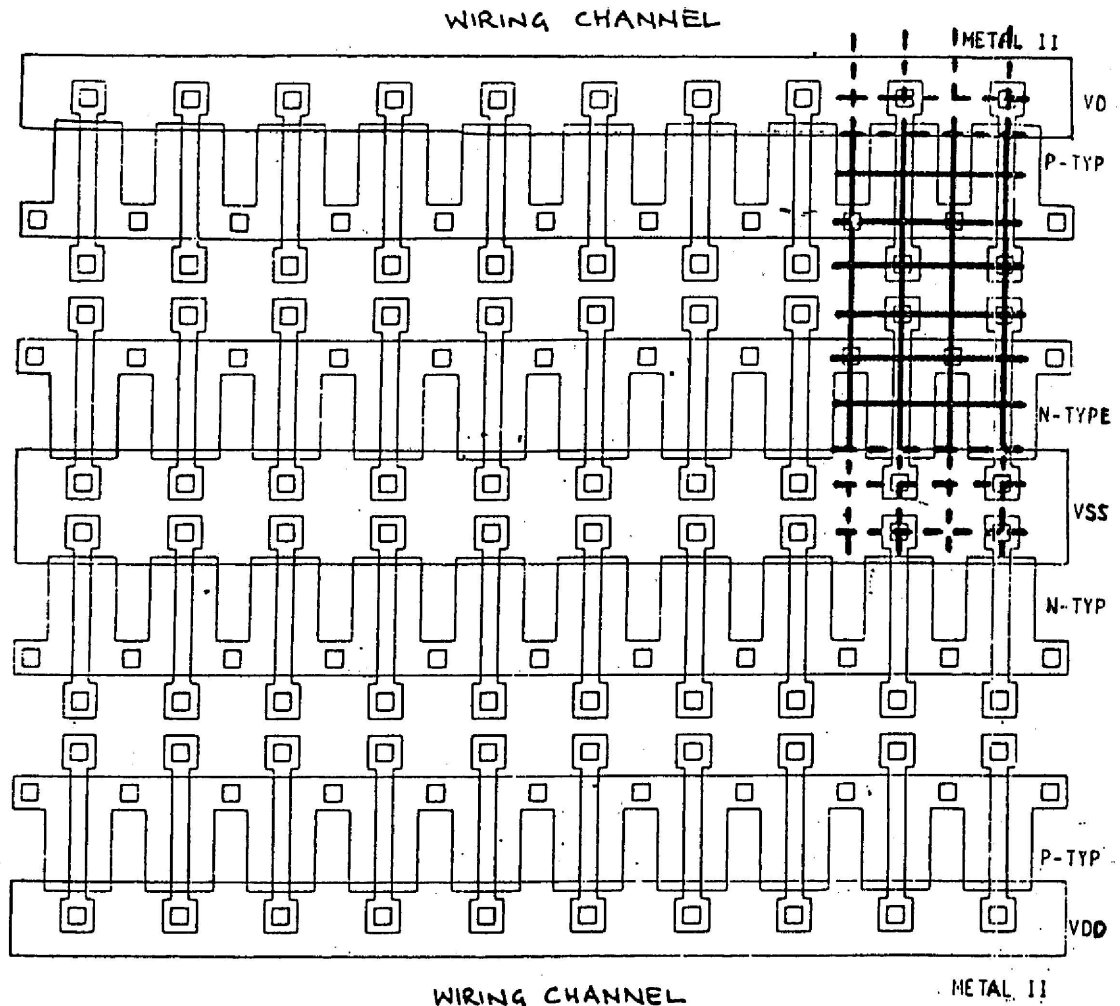
Kurangkan fungsi logik ini dengan menggunakan Peta Karnaugh dan seterusnya lakarkan litar CMOS statik yang diperolehi.

(50%)

Rajah 5(a) menunjukkan 'layout' untuk sejenis 'gate-array'. Lakarkan litar statik CMOS yang anda perolehi di atas 'gate-array' yang ditunjukkan di Rajah 5(a). Gunakan METAL I dan METAL II sahaja untuk membuat penyambungan di antara transistor-transistor yang terdapat pada 'gate-array' tersebut.

(50%)

...6/-



DOUBLE METAL CMOS ARRAY

- o UPPER RIGHT CORNER SHOWS PERMISSIBLE WIRING GRID (DOTTED = METAL I ONLY)
- o POWER TRACKS ARE RESERVED IN METAL II
- o CONTACT CUTS ARE TO METAL I ONLY
- o METAL II CONNECTS TO METAL I ONLY, THROUGH VIAS
- o CONNECT METAL II TO DIFF OR POLY THROUGH VIA/MI/CONTACT
- o OFFSET VIAS & CONTACTS BY 1/2 GRID PITCH MINIMUM.

Rajah 5(a)

...7/-

6. Apabila merekabentuk litar jujukan, apakah kelebihan pendekatan PLA dibandingkan dengan pendekatan sel-sel piawai (Standard cells).

(30%)

Gunakan fungsi berikut untuk melaksanakan Tatasusunan Logik Boleh Aturcara (PLA) jenis nMOS.

$$X_1 = \overline{A}\overline{C} + A\overline{C}\overline{D} + \overline{B}CDE$$

$$X_2 = \overline{B}\overline{D} + B\overline{C}\overline{D}$$

$$X_3 = A\overline{B}\overline{D} + B\overline{D} + \overline{B}\overline{C} + \overline{B}C\overline{D}E$$

(70%)

7. Nyatakan kelebihan peraturan rekabentuk berasaskan 'lambda' dibandingkan dengan peraturan rekabentuk berasaskan 'micron'.

(25%)

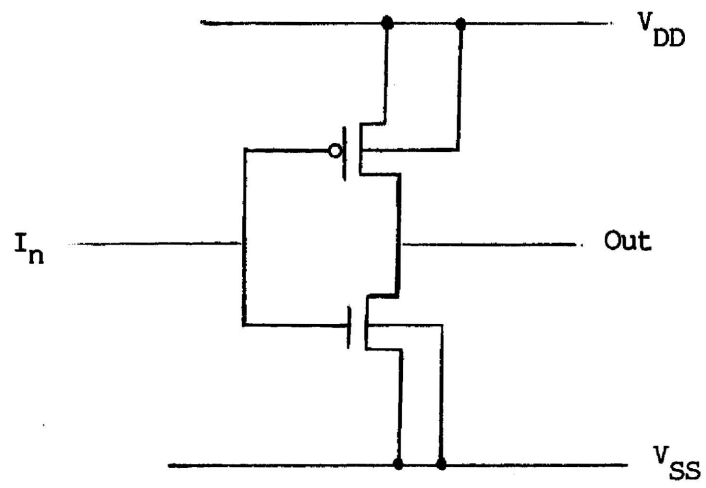
Apakah langkah-langkah utama dalam proses fabrikasi litar CMOS. Terangkan dengan terperinci langkah-langkah ini.

(35%)

Litar di Rajah 7 menunjukkan satu penyongsang CMOS. Lakarkan proses-proses yang terlibat untuk fabrikasi litar tersebut. Tentukan bahawa 'substrate contact' digunakan dan nyatakan sebab-sebab 'contact' tersebut digunakan.

(40%)

...8/-



Rajah 7

-oooOooo-